

J75B-553-05

JDS (2)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220225

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H05K 1/02

(21)Application number : 10-019336

(71)Applicant : TAIYO YUDEN CO LTD

(22)Date of filing : 30.01.1998

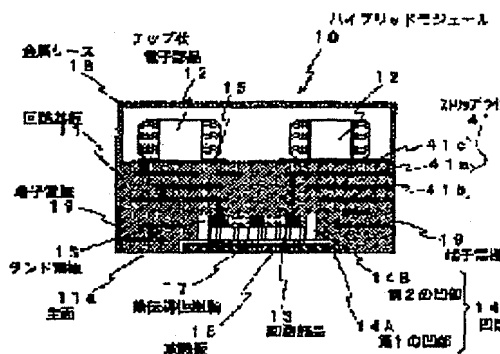
(72)Inventor : SUZUKI KAZUTAKA  
NARITA NAOTO  
WATANABE TORU

## (54) HYBRID MODULE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a hybrid module which is small-sized and has good heat dissipation property.

SOLUTION: A hybrid module 10 is constituted into such a structure that a circuit board 11 is constituted of a multilayered board, and at the same time, when the board 11 is mounted on a mother circuit board, a recess 14 is formed in the main surface, which faces opposite to the mother circuit board of the board 11, and when a circuit component 13 having a heat generation property is mounted in the recess 14 and the board 11 is mounted on the mother circuit board, the component 13 is made to directly make contact with the mother circuit board or is made to make contact with the mother circuit board via a radiating member, and heat generated from the component 13 is conducted to the mother circuit board and is dissipated. As a result, the module is formed into a small type and can perform heat dissipation efficiently. Moreover, strip lines 41 are formed into a triplet type, and at least one side of two ground lines 41b and 41c holding a signal line 41a between them is formed into an internal layer in the board 11. Thereby, the volume of the board 11 can be utilized effectively, and at the same time, miniaturization of the module is made feasible.



## LEGAL STATUS

[Date of request for examination]

31.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

公開特許・実用（抄録A）

特開平 1 1 - 2 2 0 2 2 5

【名称】 ハイブリッドモジュール

審査／評価者請求 未 請求項／発明の数 3 (公報 7頁、抄録 5頁)

公開日 平成11年(1999) 8月10日

出願／権利者 太陽誘電株式会社（東京都台東区上野6丁目16番20号）  
 発明／考案者 鈴木 一高（他2名）※  
 出願番号 特願平10-19336 平成10年（1998）1月30日  
 代理人 吉田 精孝

Int.Cl.6 識別記号  
H05K 1/02  
FI  
H05K 1/02

※最終頁に続く

【発明の属する技術分野】本発明は、回路パターンが形成された回路基板に、積層コンデンサや積層インダクタなどのチップ部品や半導体部品を搭載して回路を構成したハイブリッドモジュールに関し、特に回路基板上に電界効果型トランジスタやパワー半導体等の発熱性を有する回路部品を搭載したハイブリッドモジュールに関するものである。

(57) 【要約】

【課題】 小型で且つ放熱性の良好なハイブリッドモジュールを提供する

【解決手段】 回路基板 11 を多層基板によって構成すると共に、親回路基板に実装する際に親回路基板に対向する主面に凹部 14 を形成し、凹部 14 内に発熱性の回路部品 13 を実装して、回路基板 11 を親回路基板に実装したときに、回路部品 13 が親回路基板に直接或いは放熱部材を介して当接し、回路部品 13 からの発熱が親回路基板に熱伝導されて放熱されるようにハイブリッドモジュール 10 を構成する。これにより、小型にして効率よく放熱を行うことができる。さらに、ストリップライン 41 をトリプレート型に形成し、信号ライン 41a を挟む 2 つのグランドライン 41b、41c のうちの少なくとも一方を回路基板 11 の内層に形成する。これにより、回路基板 11 の体積を有効に利用できると共に、モジュールの小型化を図れる。

### 【特許請求の範囲】

【請求項1】 回路基板と、該回路基板上に実装された発熱性を有する回路部品と、前記回路基板に形成されたストリップラインとを備え、親回路基板上に実装して使用されるハイブリッドモジュールにおいて、

前記回路基板は多層基板であり且つ前記親回路基板と対向する主面に形成された凹部を有すると共に、

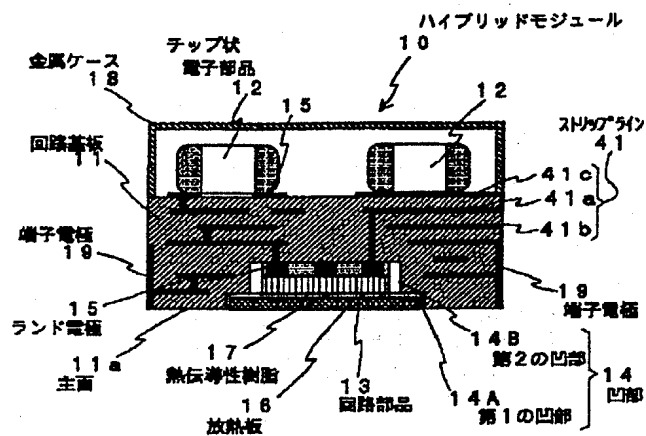
前記回路部品は前記回路基板の凹部内に実装され、少なくとも1つのストリップラインは、少なくとも一方のグランドラインが前記回路基板の内層に形成されたトリプレート型ストリップラインからなり、

前記回路部品から前記親回路基板に熱伝導されることを特徴とするハイブリッドモジュール。

【請求項2】 回路基板と、該回路基板上に実装された発熱性を有する回路部品とを備え、親回路基板上に実装して使用されるハイブリッドモジュールにおいて、

前記回路基板は前記親回路基板と対向する主面に形成された凹部を有し、

該凹部内に前記回路部品が実装され、前記回路部品



から前記親回路基板に熱伝導されると共に、

前記回路基板には、前記主面以外の所定の面に形成された測定用端子電極と、一端が前記測定用端子電極に接続され且つ他端が前記回路部品の所定端子に接続された測定用接続導体とが設けられていることを特徴とするハイブリッドモジュール。

【請求項3】 回路基板と、該回路基板上に実装された発熱性を有する回路部品とを備え、親回路基板上に実装して使用されるハイブリッドモジュールにおいて、

前記回路基板は前記親回路基板と対向する主面に形成された凹部を有し、

該凹部内に前記回路部品が実装され、前記回路部品から前記親回路基板に熱伝導されると共に、

前記凹部内の回路部品実装面は、前記回路部品の端子と接続されるランドを有すると共に、該回路部品実装面上のランド以外の部分はランドと絶縁されたグラウンド導体パターンによって覆われていることを特徴とするハイブリッドモジュール。

【発明の実施の形態】 以下、図面に基づいて本発明の一実施形態を説明する。図 1 は、本発明の第 1 の実施形態の高周波電力増幅用のハイブリッドモジュールを示す側面断面図である。図において、10 はハイブリッドモジュール、回路パターンが形成された回路基板 11 に複数のチップ状電子部品 12 と発熱性を有する半導体素子

等の回路部品13が搭載されて構成されている。

回路基板11は、直方体形状のアルミナを主体としたセラミック多層基板からなり、その底面、即ち親回路基板30への実装時に親回路基板に対向する主面11aには、発熱性の回路部品13を搭載するための凹部14が形成されている。

凹部14は、2段階に形成され、主面11a側に第1の凹部14Aが形成され、さらに第1の凹部14A内にやや小さい第2の凹部14Bが形成されている。

第2の凹部14Bは、その中に実装される回路部品13の形状に合わせて、その縦横厚み寸法よりやや大きく形成される。さらに、この第2の凹部14Bの底面には、前記回路部品13の端子電極を接続するランド電極15が形成されている。

第2の凹部14Bの中には発熱性を有する半導体素子、FET等の回路部品13が収納されると共に、回路部品13の端子電極は凹部14Bの底面に形成されたランド電極15に接続され、隣り合うランド電極15間には絶縁性の封止樹脂が充填されている。この状態で、回路部品13の裏面は、第1の凹部14Aの底面とほぼ同じ面となる。

ここで、回路部品13の端子電極とランド電極15との接続は、半田付けしても良いし、導電性樹脂を用いた接続、異方導電性樹脂(ACF)を用いた接続、或いはランド電極15上に金(Au)を用いたボールバンプを形成し超音波併用熱圧着する等して行う。

上記導電性樹脂を用いた接続では、安価であり、導電性樹脂によって応力を吸収できるため高信頼性が得られるという効果がある。さらに、異方導電性樹脂を用いれば、ランド電極15間を絶縁する封止樹脂が不要となり、コストの低減を図ることができる。

また、上記ランド電極15上にボールバンプを形成し超音波併用熱圧着する方法によれば、ドライプロセスであるためメッキ液による回路部品13へのダメージが少なく、設備コストを低減できると共に、回路基板11への回路部品13の実装作業時間を短縮でき、実装コストを低減できる。さらに、Au-Au接合なので接触抵抗が少なく高信頼性を得られる。

また、上記半田を用いた方法では、セルフアライメントにより位置補正されるため、実装精度を必要としない、また、実装時に低荷重で実装できるため回路部品13へのダメージが少なく、さらに、半田バンプにより応力吸収できるため高信頼性を得られる。

一方、第1の凹部14A内には、第1の凹部14Aに嵌合する大きさの放熱板16が装着され、放熱板16と第1の凹部14Aの底側面及び回路部品13の裏面との間は熱伝導性樹脂17によって接着され、凹部14は放熱板16によって封止されている。この状態で、放熱板16の表面は回路基板11の主面11aとほぼ同じ面となる。

また、回路基板11の主面11aと対向する面、即ち図示における回路基板11の上面にはランド電極15が形成され、このランド電極15にチップ状電子部品12が半田付けされ、これらのチップ状電子部品12は、回路基板11の上面に嵌合する金属ケース18によって覆われている。さらに、回路基板11の側面には回路パターンに接続された複数の端子電極19が形成されている。

一方、前述したように、回路基板11は多層構造になっており、その内部に回路パターンが形成され、各ラ

ンド電極15はこの回路パターンに接続され、さらに、回路部品13への信号供給線路及び回路部品13からの信号出力線路はトリプレート型ストリップライン41から構成され、このストリップライン41の信号ライン41aと、この信号ライン41aを挟む2つのグランドライン41b、41cの一方のグランドライン41bは、回路基板11の内層に形成されている。これにより、回路基板の体積を有効に利用して、モジュールの小型化を図っている。

前述の構成よりなるハイブリッドモジュール10を親回路基板に実装するときは、図4に示すように、回路基板11の回路部品13が搭載された凹部14側を下側に向け、主面11aを親回路基板30に対向させて実装し、回路基板11の側面の端子電極19を親回路基板30のランド電極31に半田付けする。

この親回路基板30の表面において、ハイブリッドモジュール10の放熱板16と対向する位置には、ランド電極31と共に、熱伝導性の導体膜32(例えばグランドパターン等)が予め形成されており、回路基板11の端子電極19がランド電極31に半田付けされると同時に、この導体膜32に放熱板16の表面が半田付けされる。

尚、放熱板16と導体膜32とは半田付けでなくても、単に当接させるのみ、或いは熱伝導性樹脂を介して当接させても良いし、導体膜32を介することなく放熱板16を直接親回路基板30の表面に当接しても良い。

このハイブリッドモジュールでは、発熱性を有する半導体素子等の回路部品13から生じる熱が放熱板16、熱伝導性樹脂17及び導体膜32を介して親回路基板30に伝導され、或いはグランド等の広い導体膜に伝導されて放熱される。

従って、小型にして効率よく放熱を行うことができるハイブリッドモジュールを安価にて製造することができる。

さらに、ストリップライン41は、信号ライン41aを挟む2つのグランドライン41b、41cのうちの少なくとも一方が回路基板11の内層に形成されたトリプレート型に構成されているため、回路基板11の体積を有効に利用できると共に、モジュールの小型化を図ることができる。

次に、本発明の第2の実施形態を説明する。

図5は、第2の実施形態のハイブリッドモジュール50を示す側面断面図である。図において、前述した第1の実施形態と同一構成部分は同一符号をもって表しその説明を省略する。

また、第1の実施形態と第2の実施形態との相違点は、回路基板11の上面に測定用端子電極51を設けると共に、測定用接続導体52を介して測定用端子電極51と回路部品13の所定の端子電極とを接続したことにある。

即ち、測定用接続導体52は、例えば、回路基板11の所定の内層に形成されたスルーホール53の充填導体によって形成され、測定用接続導体52の一端が回路部品13の端子電極に、また他端が測定用端子電極51にそれぞれ接続されている。

前述の構成よりなるハイブリッドモジュール50によれば、第1の実施形態の効果に加えて、凹部14内に回路部品13を実装した後にも測定用端子電極51を用いて回路部品13の評価を容易に行うことができるといふ効果を奏する。

尚、第2の実施形態では測定用接続導体52を複数のスルーホール53のみによって構成したが、図6に示すように、スルーホール53と内層導体パターン54を組み合わせる構成でも良い。また、回路基板11に回路部品13を実装し、測定用端子電極51を用いて回路部品13の動作試験を行った後にチップ状電子部品12を実装するならば、測定用端子電極51とチップ状電子部品12用のランド電極15を併用しても良い。

次に、本発明の第3の実施形態を説明する。

図7は、第3の実施形態のハイブリッドモジュール60を示す側面断面図である。図において、前述した第2の実施形態と同一構成部分は同一符号をもって表しその説明を省略する。

また、第2の実施形態と第3の実施形態との相違点は、第2の凹部14Bの底面のランド電極15以外の部分に、ランド電極15に対して絶縁されたグラウンド導体パターン61を形成したことにある。

即ち、回路基板11の主面11aに形成されている第2の凹部14Bの底面には、回路部品13の端子電極を接続するランド電極15が形成されると共に、第2の凹部14Bの底面を含む内層面にはランド電極15及び他の信号伝達用回路パターン以外の部分にこれらと絶縁されたグラウンド導体パターン61が形成されている。これにより、回路基板11上に実装された他のチップ状電子部品12や回路パターンと親回路基板30との間のアイソレーションが向上し、良好な特性を有するバラツキの無いモジュールが得られる。

さらに、親回路基板30の表面において、ハイブリッドモジュール60の放熱板16と対向して設けられた熱伝導性の導体膜32をグラウンド導体パターンによって構成すれば、回路部品13に対するシールド効果をより高めることができる。

尚、前述した第1乃至第3の実施形態においては、放熱板16を介して回路部品13からの発熱を親回路基板30に熱伝導するようにしたが、図8に示すハイブリッドモジュール70のように放熱板16を設けず、回路部品13の裏面を導体膜32に直接当接或いは半田付け等するようにしても良い。

また、高周波電力増幅用の回路部品13としては、GaAsMES型FET、GaAsPHEMT型FET、或いはInP系FETを用いることが望ましい。

即ち、回路部品13としてGaAsMES型FETを用いた場合、素子内部での電子の移動が早い素子からの発熱が少ない、GaAsの線膨張係数が6ppm/℃とシリコン(Si)よりも大きく、回路基板11、放熱板16、及び熱伝導性樹脂17等の線膨張係数と近くなるため、温度変化によって発生する応力が小さくなり高信頼性を得られる。

また、回路部品13としてGaAsPHEMT型FETを用いた場合には、素子内部での電子の移動速度がMES型FETよりも速いため、素子からの発熱をさらに小さくできると共に、同様に線膨張係数がシリコン(Si)よりも大きく、回路基板11、放熱板16、及び熱伝導性樹脂17等の線膨張係数と近くなるため、温度変化によって発生する応力が小さくなり高信頼性を得られる。

さらに、回路部品13としてInP系FETを用いた場合には、素子内部での電子の移動速度がGaAsよりも速いため、素子からの発熱をさらに小さくできると共に、線膨張係数が5ppm/℃とシリコン(Si)よりも

大きく、回路基板11、放熱板16、及び熱伝導性樹脂17等の線膨張係数と近くなるため、温度変化によって発生する応力が小さくなり高信頼性を得られる。

また、上記回路部品13の端子電極間の絶縁(パシベーション)にSiN又はSiO<sub>2</sub>或いはこれらの複合膜を用いることが好ましい。これらを用いることにより、上記封止樹脂の防湿性が不十分であっても素子の特性を劣化させることが無く、封止樹脂にボイドが生じて水分の進入があっても素子の信頼性を劣化させない。さらに、上記封止樹脂の残留イオンが多くても素子の信頼性が劣化しないため、安価な封止樹脂を用いることができる。

また、上記実施形態では、発熱性の回路部品13を1個実装したモジュールを構成したが、複数の発熱性回路部品を実装したモジュールであっても良く、この場合の同様の効果を得ることができる。

ここで、複数の発熱性FETを用いる場合には、これら複数のFETを1つのGaAs上に形成した回路部品13を用いることが好ましい。これにより、複数のFETを個別に実装するよりも実装エリアを縮小できると共に、一度の実装作業で済むため実装コストを低減することができる。さらに、複数のFETを個別に実装した場合に比べて、放熱板16或いは親回路基板30と容易に接触させることができ、放熱性を安定化させることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施形態のハイブリッドモジュールを示す側面断面図

【図2】従来例のハイブリッドモジュールを示す側面断面図

【図3】従来例の他のハイブリッドモジュールを示す側面断面図

【図4】本発明の第1の実施形態のハイブリッドモジュールの親回路基板搭載例を示す図

【図5】本発明の第2の実施形態のハイブリッドモジュールを示す側面断面図

【図6】本発明の第2の実施形態における測定用接続導体の他の構成例を説明する図

【図7】本発明の第3の実施形態のハイブリッドモジュールを示す側面断面図

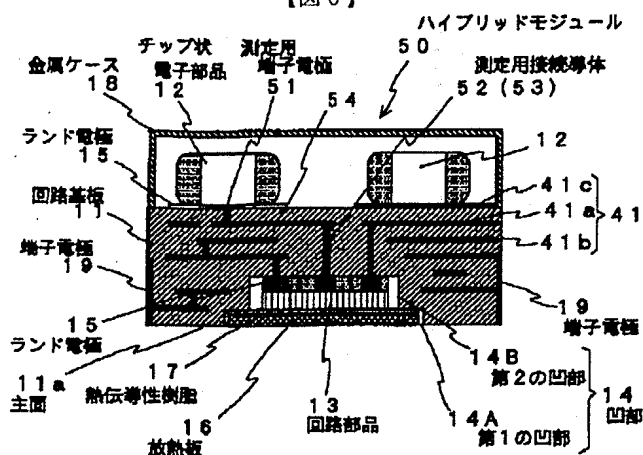
【図8】本発明のハイブリッドモジュールの他の実施形態を示す側面断面図

#### 【符号の説明】

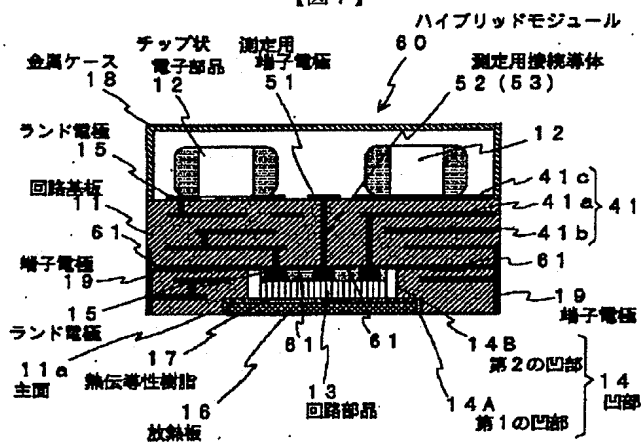
10, 50, 60, 70…ハイブリッドモジュール、11…回路基板、11a…主面、12…チップ状電子部品、13…発熱性の回路部品、14…凹部、14A…第1の凹部、14B…第2の凹部、15…ランド電極、16…放熱板、17…熱伝導性樹脂、18…金属ケース、19…端子電極、30…親回路基板、31…ランド電極、32…熱伝導性の導体膜、41…トリプレート型ストリップライン、41a…信号ライン、42b, 42c…グラウンドライン、51…測定用端子電極、52…測定用接続導体、53…スルーホール、61…グラウンド導体パターン。



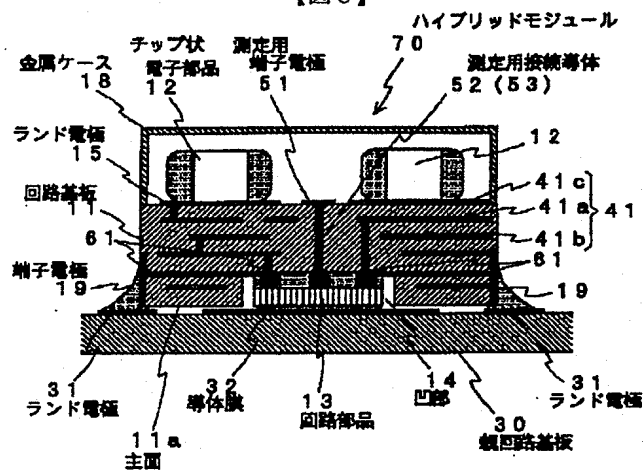
【図6】



【図7】



【図8】



## 【書誌的事項の続き】

【識別番号または出願人コード】000204284

## 【出願／権利者名】

太陽誘電株式会社  
東京都台東区上野6丁目16番20号

## 【発明／考案者名】

鈴木 一高  
東京都台東区上野6丁目16番20号 太陽誘電株式会社内

## 【発明／考案者名】

成田 直人  
東京都台東区上野6丁目16番20号 太陽誘電株式会社内

## 【発明／考案者名】

渡辺 徹  
東京都台東区上野6丁目16番20号 太陽誘電株式会社内

## 【代理人】

吉田 精孝

## 【出願形態】OL

注) 本抄録の書誌的事項は初期登録時のデータで作成されています。